

HQFC-MB2 计算机组成原理



计算机组成原理和计算机系统结构都是大学计算机系的重要课程。HQFC-MB2 适用于本科、硕士研究生的计算机组成原理和计算机系统结构课程的教学实验。支持两种模式的计算机组成原理和计算机系统结构的实验

一、实验系统组成

1、实验系统由控制器（FPGA）、存储器、控制电路、输入开关、指示灯、时钟电路、监控电路等电路组成。实验系统经过模块选择开关选择电路构成二种不同的实验电路。完成 CPU 设计、计算机组成原理及系统结构实验。

2、实验台 FPGA（CPU）采用 Altera 公司 **cyclone IV** 系列的 EP4CE6E22 芯片。

3、外围电路：数码管；LED 发光管显示；逻辑电平开关输入；按键；蜂鸣器等

4、开放式 CPU 设计

- 1)、实验系统主要由 PC 监控系统，外部程序存储器，FPGA 及其相关下载电路，以及控制电路组成。
- 2)、16 位 CPU 基本指令系统支持多种寻址方式。用户可按照需要自行设计 CPU 指令系统，从而实现指令系统和 CPU 系统结构的可变性。
- 3)、上端软件能够按一个时钟脉冲、半个时钟和连续运行三种方式调试 CPU 测试程序，能够监测 CPU 内部的所有信号和数据。
- 4)、外部存储器由两片 HM6116 器件并联构成 2K X 16 位的存储器。
- 5)、机器字长 16 位，即数据总线、地址总线均是 16 位。

二、数字电路及 EDA 实验例程

- 1、熟悉硬件编程语言
- 2、基本输入输出实验

- 3、基础逻辑电路实验
 - 4、静态数码管显示
 - 5、动态数码管显示
 - 6、按键输入实验
 - 7、简易分频器实验
 - 8、FPGA 内部 RAM 存储器实验
 - 9、FPGA 内部 RO M 存储器实验
 - 10、FPGA 内部 FIFO 存储器实验
- (其它例程或参考资料见光盘内容)

三、计算机组成原理基础实验例程

- 1、海明码编码解码实验
- 2、CRC 编码解码实验
- 3、BCD 加法实验
- 4、移位器实验
- 5、加法器实验
 - 半加器、全加器、多位加法器
- 6、乘法器实验
 - 3 代乘法器设计实验
 - 有符号乘法器-Booth 乘法器设计实验
- 7、除法器实验
 - 3 代除法器设计实验
- 8、算术逻辑单元实验
 - 基本逻辑运算、有符号及无符号算术运算实验
- 9、时序部件实验
 - 节拍发生器、起停控制器设计实验

四、开放式 CPU 设计

(使用教材：汤志忠-开放式实验 CPU 设计)

- 1、组合逻辑控制器实验
- 2、微程序控制器部件实验
- 3、无流水无 cache CPU 实验
- 4、5 级流水无 cache CPU 实验
- 5、5 级流水带 cache CPU 实验 (用户设计完成)

五、计算机组成原理及系统结构实验

- 1、AM2901 运算器实验
 - 模拟 16 位 AM2901 运算器功能设计
- 2、RAM 存储器读写实验
 - RAM6116 存储器读写
- 3、ROM 存储器读写实验
 - ROM58C65 存储器读写
- 4、指令测试实验
 - 单片观察每条指令运行状态及现象
- 5、监控程序 DEBUG 命令 A 命令、D 命令、U 命令、E 命令、G 命令、R 命令 测试
 - 由设计指令完成的监控程序测试其监控程序 DEBUG 命令运行状态及结果
- 6、控制器读写 RAM、ROM 存储器实验

7、基础汇编语言程序设计实验

在监控程序 DEBUG 下设计简单及较复杂的汇编语言程序设计

六、8 位模型机实验（初级用户实验）

1、寄存器实验

4 组通用寄存器读写实验

2、RAM 存储器实验

8 位 RAM 存储器读写

3、LS181 运算器实验

模拟 LS181 器件 8 位逻辑运算和算术运算功能

4、数据通路实验

寄存器-数据开关-RAM 存储器之间数据总线读写实验

5、控制器实验

控制器指令设计及调试

七、课程设计（用户完成）

1、完成全部指令。

2、用 FPGA 实现的不支持流水的 CPU（模型机）。

3、用 FPGA 实现的支持流水的 CPU（模型机）。

八、扩展接口实验（选购）

B1 号扩展实验板

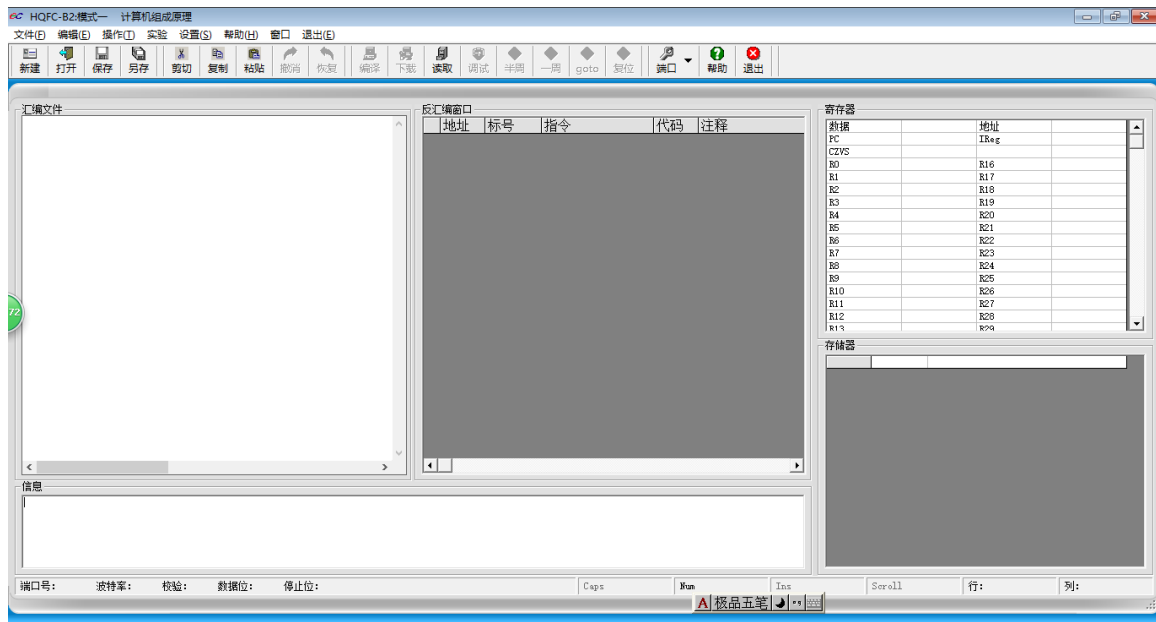
1) 8254/3 定时器计数器实验

2) AD0809 模数转换实验

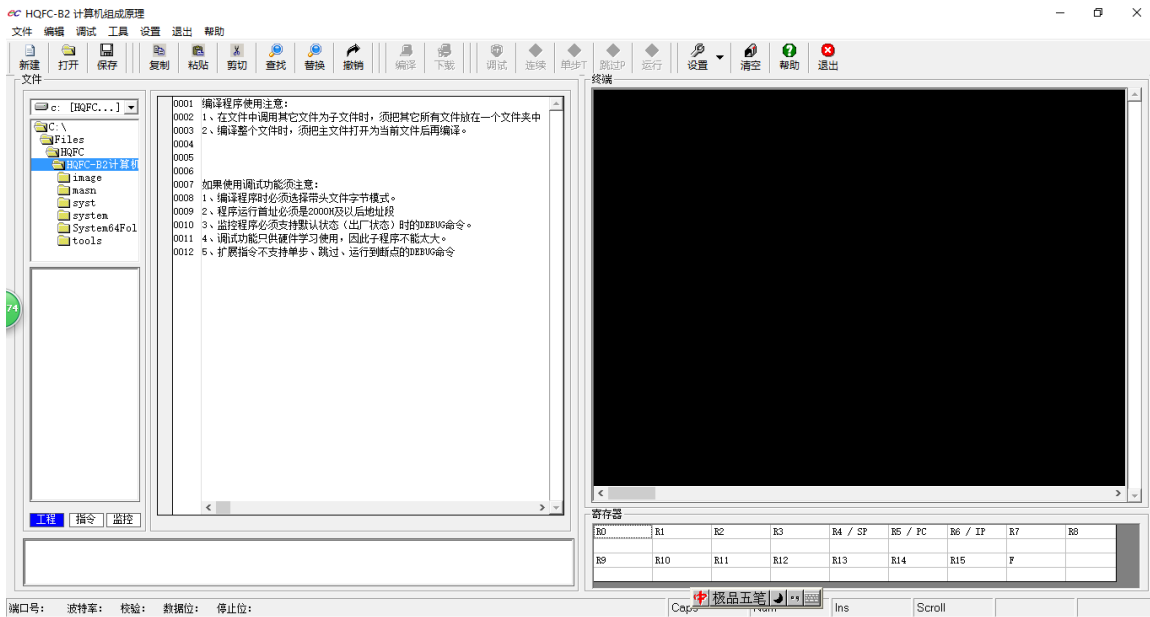
3) 4 位 LED 数码管显示实验

4) 继电器控制实验

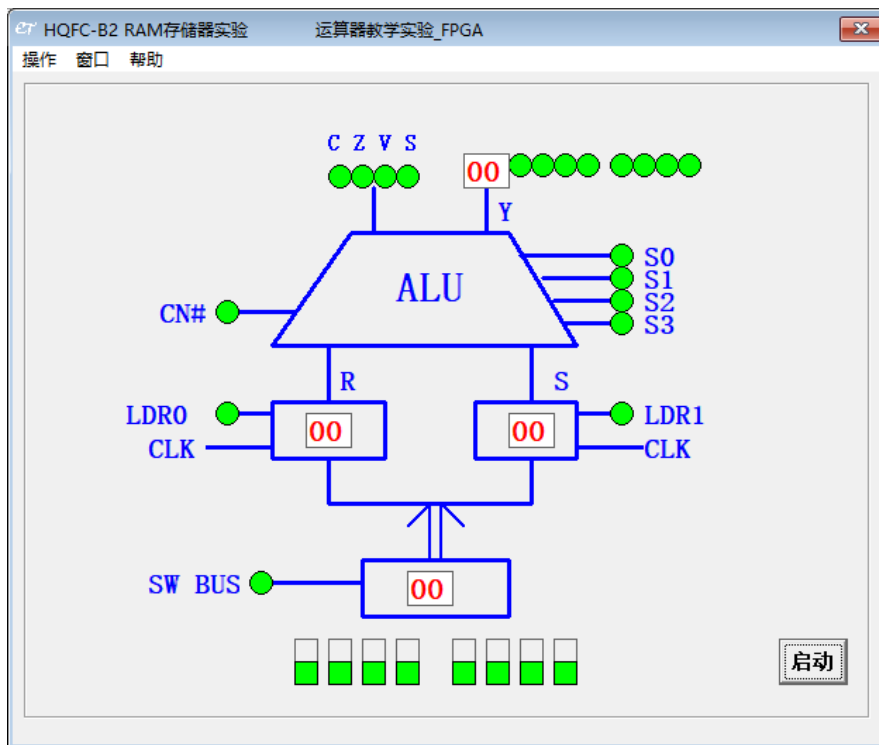
九、上端软件



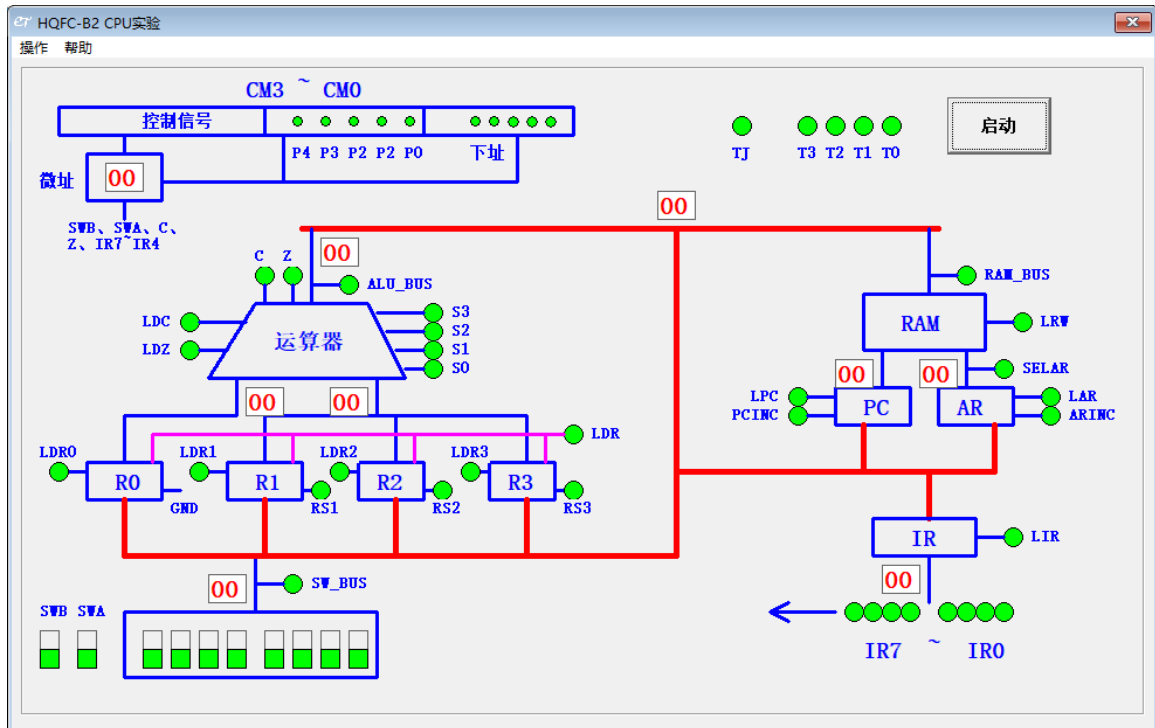
开放式 CPU 上位机软件



计算机组成原理及系统结构上位机软件



8 位模型机运算器实验



8 位模型机控制器实验